

대한민국특허청 (KR)
공개특허공보 (A)

Int. Cl.⁸
F 02 M 1/14

제 1172 호

공개일자 1993. 12. 22
출원일자 1992. 5. 27

공개번호 93-24261
출원번호 92-9039
심사청구: 없음

발 명 자 문 병 민 경기도 수원시 권선구 매탄동 주공아파트 401호 301호

출 원 인 삼성전자 주식회사 대표이사 정 용 문

경기도 수원시 권선구 매탄동 416번지

대리인 변리사 이 진 주

(전 2 면)

돌입 전류 방지 회로

요 약

돌입전류를 방지하는 회로에 관한 것으로, 특히 돌입전류 방지에 따른 전력 효율 감소를 방지 할수 있는 돌입전류 방지회로에 관한 것이다.

돌입전류방지 수단에 병렬로 다른 전류 통로 수단을 접속하여 상기 돌입전류 방지수단을 통하여 전류통로가 계속 유지되는 것을 막아 상기 돌입전류 방지 수단에 의한 전력 손실을 최소화한다.

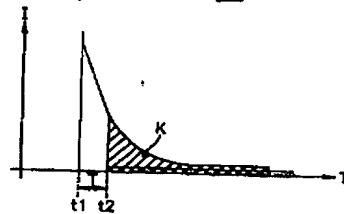
특허청구의 범위

1. 스위치 수단과, 상기 스위치 수단을 통해 입력되는 전원을 충전하는 충전전수단을 구비한 회로에 있어서, 상기 스위치 수단과 상기 충전전 수단 사이에 직렬 접속되어 상기 스위치 수단의 구동에 따른 돌입전류를 방지하는 수단과, 상기 돌입전류를 방지하는 수단에 병렬로 접속되어 상기 스위치 수단과 상기 충전전 수단 사이에 또 하나의 전류통로를 형성하는 통과 수단과, 상기 통과 수단의 구동시간을 소정시간 동안 지연시키기 위한 지연수단으로 구성됨을 특징으로 하는 돌입전류 방지 회로.
 2. 제1항에 있어서, 통과 수단이 전계효과 트랜지스터임을 특징으로 하는 돌입 전류 방지 회로.
- ※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 돌입전류 방지에 따른 전력 손실 그래프, 제4도는 본 발명의 돌입 전류 방지 회로도.

제 3 도



제 4 도

